

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-289984

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl.⁵

識別記号

F I

H 0 1 L 27/108
21/8242
27/04
21/822

H 0 1 L 27/10 6 2 1 Z
27/04 C

審査請求 未請求 請求項の数17 O L (全 23 頁)

(21) 出願番号 特願平9-37421

(22) 出願日 平成9年(1997)2月21日

(31) 優先権主張番号 特願平8-246299

(32) 優先日 平8(1996)9月18日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-27710

(32) 優先日 平9(1997)2月12日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 ▲は▼生 真理子

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 尾崎 徹

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 幸山 裕亮

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

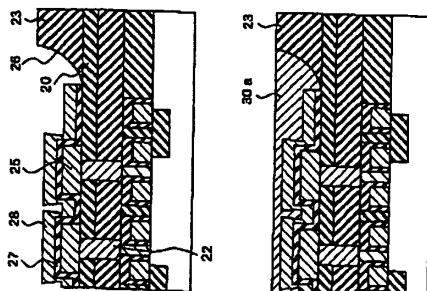
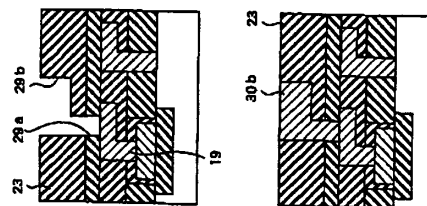
最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 記憶用のキャパシタの形成に際して平坦化を達成することが可能な半導体記憶装置及びその製造方法を提供する。

【解決手段】 第1の導電体膜25と第1の導電体膜上に形成された第1の絶縁膜27とこの第1の絶縁膜上に形成された第2の導電体膜28とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置において、キャパシタは第2の絶縁膜23の第1の穴部26に形成されており、この第2の絶縁膜には第2の穴部29a、29bが形成されており、第1の穴部及び第2の穴部には第3の導電体膜30a、30bが埋め込まれており、第1の穴部に埋め込まれた第3の導電体膜30aの上面と半導体基板の上面との距離が第2の穴部に埋め込まれた第3の導電体膜30bの上面と半導体基板の上面との距離に概略等しい。



(A7)

(A8)

1

【特許請求の範囲】

【請求項1】 第1の導電体膜とこの第1の導電体膜上に形成された第1の絶縁膜とこの第1の絶縁膜上に形成された第2の導電体膜とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置において、

前記キャパシタは第2の絶縁膜の第1の凹部に形成されており、この第2の絶縁膜には第2の凹部が形成されており、前記第1の凹部及び第2の凹部には第3の導電体膜が埋め込まれており、前記第1の凹部に埋め込まれた第3の導電体膜の上面と前記半導体基板の上面との距離が前記第2の凹部に埋め込まれた第3の導電体膜の上面と前記半導体基板の上面との距離に概略等しいことを特徴とする半導体記憶装置。

【請求項2】 第1の導電体膜とこの第1の導電体膜上に形成された第1の絶縁膜とこの第1の絶縁膜上に形成された第2の導電体膜とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置において、

前記キャパシタは第2の絶縁膜の第1の凹部に形成されており、この第2の絶縁膜には第2の凹部が形成されており、前記第1の凹部及び第2の凹部には第3の導電体膜が埋め込まれており、前記第1の凹部に形成された前記キャパシタの第2の導電体膜の上面と前記半導体基板の上面との距離が前記第2の凹部に埋め込まれた第3の導電体膜の上面と前記半導体基板の上面との距離以下であることを特徴とする半導体記憶装置。

【請求項3】 第1の導電体膜とこの第1の導電体膜上に形成された第1の絶縁膜とこの第1の絶縁膜上に形成された第2の導電体膜とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置の製造方法において、

第1の凹部を有する第2の絶縁膜及びこの第1の凹部に設ける前記第1の導電体膜を形成する工程と、前記第2の絶縁膜に第2の凹部を形成する工程と、前記第1の導電体膜、第1の絶縁膜及び第2の導電体膜が形成された前記第1の凹部と前記第2の凹部とに同時に第3の導電体膜を埋め込む工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項4】 第1の導電体膜とこの第1の導電体膜上に形成された第1の絶縁膜とこの第1の絶縁膜上に形成された第2の導電体膜とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置の製造方法において、

第2の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的に除去する工程と、前記第2の絶縁膜が選択的に除去された部分に前記第1の導電体膜を埋め込む工程と、前記第2の絶縁膜をさらに選択的に除去して前記第1の導電体膜を突出させる第1の凹部を形成する工程と、前記第2の絶縁膜に第2の凹部を形成する工程と、前記第1

2

の導電体膜、第1の絶縁膜及び第2の導電体膜が形成された前記第1の凹部と前記第2の凹部とに同時に第3の導電体膜を埋め込む工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項5】 請求項3において、前記第1の凹部を有する第2の絶縁膜及びこの第1の凹部に設ける前記第1の導電体膜を形成する工程の後、前記第1の絶縁膜及び前記第2の導電体膜を形成する工程と、前記第2の導電体膜、前記第1の絶縁膜及び前記第2の絶縁膜を選択的に除去することによって前記第2の絶縁膜に第2の凹部を形成する工程と、前記第3の導電体膜を形成した後、この第3の導電体膜、前記第2の導電体膜及び前記第1の絶縁膜を所定厚さ除去することによって前記第1の導電体膜、前記第1の絶縁膜及び前記第2の導電体膜が形成された前記第1の凹部と前記第2の凹部とに同時に前記第3の導電体膜を埋め込む工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項6】 半導体基板の主面側に形成された第3の絶縁膜と、この第3の絶縁膜内に形成され前記半導体基板に接続される第1のコンタクトと、前記第3の絶縁膜上に形成され前記第1のコンタクトと接する第4の導電体膜と、前記第3の絶縁膜上の前記第4の導電体膜が形成されていない領域を均一な厚さで選択的に覆う第4の絶縁膜とを有することを特徴とする半導体記憶装置。

【請求項7】 半導体基板の主面側に形成された第3の絶縁膜と、この第3の絶縁膜内に形成され前記半導体基板に接続される第1のコンタクトと、前記第3の絶縁膜上に形成され前記第1のコンタクトと接する第4の導電体膜と、前記第3の絶縁膜上の前記第4の導電体膜が形成されていない領域を均一な厚さで選択的に覆う第4の絶縁膜と、前記第4の導電体膜及び前記第4の絶縁膜上に形成された第5の絶縁膜と、この第5の絶縁膜上に形成された第5の導電体膜とを有することを特徴とする半導体記憶装置。

【請求項8】 請求項7に記載の半導体記憶装置において、前記半導体基板の主面側に形成され素子分離膜に囲まれたMOS型トランジスタをさらに有し、前記第1のコンタクトは前記MOS型トランジスタのソース又はドレインの一方に接続されていることを特徴とする半導体記憶装置。

【請求項9】 請求項8に記載の半導体記憶装置において、前記第3の絶縁膜内に形成され前記MOS型トランジスタのソース又はドレインの他方に接続される第2のコンタクトと、この第2のコンタクトに接続されるビット線とをさらに有することを特徴とする半導体記憶装置。

【請求項10】 半導体基板上に形成され素子分離膜に囲まれたMOS型トランジスタと、このMOS型トランジスタが形成された前記半導体基板の主面側に形成された第6の絶縁膜と、この第6の絶縁膜内に形成され前記

3

MOS型トランジスタのソース又はドレインの一方に接続された第2のコンタクトと、前記第6の絶縁膜上に形成され前記第2のコンタクトに接続されたビット線と、このビット線が形成された前記第6の絶縁膜上に形成された第7の絶縁膜と、前記第6の絶縁膜及び前記第7の絶縁膜を貫通して形成され前記MOS型トランジスタのソース又はドレインの他方に接続される第1のコンタクトと、前記第7の絶縁膜上に形成され前記第1のコンタクトと接する第4の導電体膜と、前記第7の絶縁膜上の前記第4の導電体膜が形成されていない領域を均一な厚さで選択的に覆う第4の絶縁膜と、前記第4の導電体膜及び前記第4の絶縁膜上に形成された第5の絶縁膜と、この第5の絶縁膜上に形成された第5の導電体膜とを有することを特徴とする半導体記憶装置。

【請求項11】 半導体基板の主面側に第3の絶縁膜を形成する工程と、この第3の絶縁膜内に前記半導体基板に接続される第1のコンタクトを形成する工程と、前記第3の絶縁膜上に第4の絶縁膜を形成する工程と、この第4の絶縁膜上に第8の絶縁膜を形成する工程と、前記第4の絶縁膜及び前記第8の絶縁膜を貫通し前記第1のコンタクトの表面が露出する溝部を形成する工程と、この溝部内に第4の導電体膜を形成する工程と、前記第8の絶縁膜を除去する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項12】 半導体基板の主面側に第3の絶縁膜を形成する工程と、この第3の絶縁膜内に前記半導体基板に接続される第1のコンタクトを形成する工程と、前記第3の絶縁膜上に第4の絶縁膜を形成する工程と、この第4の絶縁膜上に第8の絶縁膜を形成する工程と、前記第4の絶縁膜及び前記第8の絶縁膜を貫通し前記第1のコンタクトの表面が露出する溝部を形成する工程と、この溝部内に第4の導電体膜を形成する工程と、前記第8の絶縁膜を除去して前記第4の絶縁膜の表面を露出させる工程と、この露出した第4の絶縁膜及び前記第4の導電体膜上に第5の絶縁膜を形成する工程と、この第5の絶縁膜上に第5の導電体膜を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項13】 請求項12に記載の半導体記憶装置の製造方法において、前記半導体基板の主面側に素子分離膜に囲まれたMOS型トランジスタを形成する工程をさらに有し、前記第1のコンタクトを前記MOS型トランジスタのソース又はドレインの一方に接続することを特徴とする請求項12に記載の半導体記憶装置の製造方法。

【請求項14】 請求項13に記載の半導体記憶装置の製造方法において、前記第3の絶縁膜内に前記MOS型トランジスタのソース又はドレインの他方に接続される第2のコンタクトを形成する工程と、前記第3の絶縁膜内に前記第2のコンタクトに接続されるビット線を形成する工程とをさらに有することを特徴とする半導体記憶

4

装置の製造方法。

【請求項15】 半導体基板の主面側に素子分離膜に囲まれたMOS型トランジスタを形成する工程と、このMOS型トランジスタが形成された前記半導体基板の主面側に第6の絶縁膜を形成する工程と、この第6の絶縁膜内に前記MOS型トランジスタのソース又はドレインの一方と接続する第2のコンタクトを形成する工程と、前記第6の絶縁膜上に前記第2のコンタクトと接続するビット線を形成する工程と、前記ビット線が形成された前記第6の絶縁膜上に第7の絶縁膜を形成する工程と、前記第6の絶縁膜及び前記第7の絶縁膜を貫通し前記MOS型トランジスタのソース又はドレインの他方と接続する第1のコンタクトを形成する工程と、前記第7の絶縁膜上に第4の絶縁膜を形成する工程と、この第4の絶縁膜上に第8の絶縁膜を形成する工程と、前記第4の絶縁膜及び前記第8の絶縁膜を貫通し前記第1のコンタクトの表面が露出する溝部を形成する工程と、この溝部内に第4の導電体膜を形成する工程と、前記第8の絶縁膜を除去して前記第4の絶縁膜の表面を露出させる工程と、この露出した第4の絶縁膜及び前記第4の導電体膜上に第5の絶縁膜を形成する工程と、この第5の絶縁膜上に第5の導電体膜を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項16】 前記溝部を形成する工程は、前記第4の絶縁膜をストッパーとして前記第8の絶縁膜を縦方向に異方的にエッチングする工程と、この工程の後に前記第4の絶縁膜をストッパーとして前記第8の絶縁膜を横方向に等方的にエッチングする工程と、この工程の後に露出した前記第4の絶縁膜をエッチングする工程とを有することを特徴とする請求項15に記載の半導体記憶装置の製造方法。

【請求項17】 前記第4の絶縁膜をエッチングする際に前記第8の絶縁膜をマスクとして用いることを特徴とする請求項16に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】 DRAMをはじめとする半導体記憶装置において信頼性の高いものを製造しようとした場合、キャパシタ電極や配線の抵抗を下げる、安価なデバイスを提供するために工程を削減する、各工程特にリソグラフィのためのプロセスマージンを広げるためにリソグラフィを行う際の表面を平坦化する、といったような様々な要求がある。

【0003】 従来のスタック型キャパシタを持つDRAMの製造方法として、ビットライン等の配線を形成した後キャパシタの蓄積電極のためのコンタクト及び蓄積電極を形成し、その後キャパシタ絶縁膜及び対向電極を

5

形成し、上層の配線を形成するというものがある（例えば、IEDM95-907）。

【0004】しかしながら、上記のような製造方法を用いた場合、対向電極材料を工夫してキャパシタ電極の抵抗を下げることはできたとしても、リソグラフィを行う際の平坦化は実現されていない。したがって、1GDRAMをはじめとする微細パターンを有するデバイスの製造は容易ではない。

【0005】一方、従来のスタック型キャパシタの他の例として、例えば、「P-Y.Lesaicherre et al., "A Gbit-scale DRAM stacked capacitor technology with ECR MOCVD SrTiO₃ and RIE patterned RuO₂/TiN storage nodes", IEDM Technical Digest, pp.831-834, 1994」に記載のされているものもある。

【0006】以下、この従来技術を図35を参照して簡単に説明する。

【0007】まず、シリコン基板161上に厚さ600nmの熱酸化膜162を形成し、この熱酸化膜162にコンタクトホールを開口する。続いて、このコンタクト

ホール内部に多結晶シリコンプラグ163を形成する（図35（a））。つぎに、全面にTiN膜164及び厚さ500nmのRuO₂膜165をスパッタ法を用いて形成する（図35（b））。次に、リソグラフィ工程を用いて島状のレジストマスク166をRuO₂膜165上に形成し、これをマスクとしてRuO₂膜165及びTiN膜164をRIE法でパターニングする（図35（c））。次に、RuO₂膜165に表面処理を施した後、ECRMOCVD法を用いてSrTiO₃膜167を450℃で堆積する。最後に、TiN膜及びAl膜168をスパッタ法で全面に形成し、Alをプレート電極168、SrTiO₃をキャパシタ絶縁膜167、RuO₂膜を蓄積電極165とする（Al/TiN/SrTiO₃/RuO₂/TiN/poly-Si）積層構造のキャパシタが完成する（図35（d））。

【0008】なお、上記従来技術では蓄積電極コンタクト及びキャパシタのみの製造工程を示しており、実際のDRAMに適用する場合には、上記工程の他にMOSFETを形成する工程及びビット線を形成する工程等が付加され、多結晶シリコンプラグはシリコン基板ではなくMOSFETのソース又はドレインに接続していると考

えればよい。

【0009】しかしながら、上記従来技術では、島状のレジストパターンをマスクとしてストレージノード用導電体膜をパターニングしてストレージノード間を分離する。従って、リソグラフィの限界以上に隣接するストレージノード間を近付けることができず、実効的なストレージノード電極面積をあまり増やせないという問題がある。

【0010】また、上記従来技術では、複数のストレージノード電極165を図36（A）に示すようにマトリ

6

クス状に配置する場合、図36のA-A'に沿った断面図である図36（B）に示されるように、ストレージノード電極165がストレージノードコンタクト163に対して合わせずれた場合、プレート電極168とストレージノードコンタクト163がキャパシタ絶縁膜167を挟んで直接対向する構造のキャパシタが形成され、両者の材料の組み合わせによってキャパシタ絶縁膜167の絶縁性が劣化する等、キャパシタ特性の劣化につながってしまうという問題がある。

【0011】

【発明が解決しようとする課題】以上述べたように、従来はリソグラフィを行う際の平坦化が困難であり、微細パターンを形成することが容易ではないという問題点があった。

【0012】また、リソグラフィの限界以上にストレージノード間を近付けることができないためストレージノード電極の面積を増やすことが困難であり、またストレージノード電極とストレージノードコンタクトの合わせずれに起因してキャパシタ特性の劣化が生じ易いという問題点があった。

【0013】本発明の第1の目的は、記憶用のキャパシタの形成に際して平坦化を達成することが可能な半導体記憶装置及びその製造方法を提供することにある。

【0014】本発明の第2の目的は、広いキャパシタ面積を達成することが可能であるとともに、電気的特性及び信頼性に優れた半導体記憶装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明は、第1の導電体膜とこの第1の導電体膜上に形成された第1の絶縁膜とこの第1の絶縁膜上に形成された第2の導電体膜とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置において、前記キャパシタは第2の絶縁膜の第1の凹部に形成されており、この第2の絶縁膜には第2の凹部が形成されており、前記第1の凹部及び第2の凹部には第3の導電体膜が埋め込まれており、前記第1の凹部に埋め込まれた第3の導電体膜の上面と前記半導体基板の上面との距離が前記第2の凹部に埋め込まれた第3の導電体膜の上面と前記半導体基板の上面との距離に概略等しいことを特徴とする。

【0016】また、本発明は、第1の導電体膜とこの第1の導電体膜上に形成された第1の絶縁膜とこの第1の絶縁膜上に形成された第2の導電体膜とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置において、前記キャパシタは第2の絶縁膜の第1の凹部に形成されており、この第2の絶縁膜には第2の凹部が形成されており、前記第1の凹部及び第2の凹部には第3の導電体膜が埋め込まれており、前記第1の凹部に形成された前記キャパシタの第2の導電体膜の上面と前記半導体基板の上面との距離が前記第

7

2の凹部に埋め込まれた第3の導電体膜の上面と前記半導体基板の上面との距離以下であることを特徴とする。

【0017】上記半導体記憶装置によれば、第3の導電体膜によって低抵抗化を実現することができるとともに、第1の凹部が形成された領域（キャパシタを有する領域に対応）と第2の凹部が形成された領域（キャパシタを有しない領域に対応）とにおいて、第3の導電体膜の高さをほぼ等しくすることができるので、平坦化を達成することが可能となる。

【0018】また、本発明は、第1の導電体膜とこの第1の導電体膜上に形成された第1の絶縁膜とこの第1の絶縁膜上に形成された第2の導電体膜とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置の製造方法において、第1の凹部を有する第2の絶縁膜及びこの第1の凹部に設ける前記第1の導電体膜を形成する工程と、前記第2の絶縁膜に第2の凹部を形成する工程と、前記第1の導電体膜、第1の絶縁膜及び第2の導電体膜が形成された前記第1の凹部と前記第2の凹部とに同時に第3の導電体膜を埋め込む工程とを有することを特徴とする（製造方法Aとする）。

【0019】また、本発明は、第1の導電体膜とこの第1の導電体膜上に形成された第1の絶縁膜とこの第1の絶縁膜上に形成された第2の導電体膜とによって構成される記憶用のキャパシタが半導体基板の主面側に形成された半導体記憶装置の製造方法において、第2の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的に除去する工程と、前記第2の絶縁膜が選択的に除去された部分に前記第1の導電体膜を埋込む工程と、前記第2の絶縁膜をさらに選択的に除去して前記第1の導電体膜を突出させる第1の凹部を形成する工程と、前記第2の絶縁膜に第2の凹部を形成する工程と、前記第1の導電体膜、第1の絶縁膜及び第2の導電体膜が形成された前記第1の凹部と前記第2の凹部とに同時に第3の導電体膜を埋め込む工程とを有することを特徴とする（製造方法Bとする）。

【0020】この場合、第2の絶縁膜の下に別の絶縁膜を設けて、第2の絶縁膜を選択的に除去（エッチング）して第1の凹部を形成する際のエッチングのストッパとして用いるようにしてもよい。

【0021】上記半導体記憶装置の製造方法A及びBによれば、第1の凹部と第2の凹部とに同時に第3の導電体膜を埋め込むので、製造工程の増大なしに低抵抗化を実現することができるとともに、第1の凹部が形成された領域（キャパシタを有する領域に対応）と第2の凹部が形成された領域（キャパシタを有しない領域に対応）とにおいて、第3の導電体膜の高さをほぼ等しくすることができるので、平坦化を達成することが可能となり、リソグラフィにおけるプロセスマージンを高めることができる。

8

【0022】上記製造方法A及びBにおいて、製造方法Aにおいては前記第1の凹部を有する第2の絶縁膜及びこの第1の凹部に設ける前記第1の導電体膜を形成する工程の後、製造方法Bにおいては前記第2の絶縁膜をさらに選択的に除去して前記第1の導電体膜を突出させる第1の凹部を形成する工程の後、前記第1の絶縁膜及び前記第2の導電体膜を形成する工程と、前記第2の導電体膜、前記第1の絶縁膜及び前記第2の絶縁膜を選択的に除去することによって前記第2の絶縁膜に第2の凹部を形成する工程と、前記第3の導電体膜を形成した後この第3の導電体膜、前記第2の導電体膜及び前記第1の絶縁膜を所定厚さ除去することによって前記第1の導電体膜、前記第1の絶縁膜及び前記第2の導電体膜が形成された前記第1の凹部と前記第2の凹部とに同時に前記第3の導電体膜を埋め込む工程とを有するようにしてもよい。

【0023】また、上記製造方法Aにおいて、前記第2の絶縁膜を絶縁膜X及びこの絶縁膜X上の絶縁膜Yで構成し、前記第1の凹部を有する第2の絶縁膜及びこの第1の凹部に設ける前記第1の導電体膜を形成する工程を、前記絶縁膜Xを形成する工程と、前記絶縁膜Xを選択的に除去する工程と、前記絶縁膜Xが選択的に除去された部分に前記第1の導電体膜を埋込む工程と、前記絶縁膜X上及び前記第1の導電体膜上に前記絶縁膜Yを形成する工程と、前記絶縁膜X及び前記絶縁膜Yを選択的に除去して前記第1の導電体膜が形成された前記第1の凹部を形成する工程とによって行うようにしてもよい。

【0024】また、上記製造方法Aにおいて、前記第1の凹部を有する第2の絶縁膜及びこの第1の凹部に設ける前記第1の導電体膜を形成する工程を、前記第1の導電体膜を形成する工程と、前記第1の導電体膜を覆うように前記第2の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的に除去して前記第1の導電体膜が形成された前記第1の凹部を形成する工程とによって行うようにしてもよい。

【0025】また、上記製造方法Aにおいて、前記第1の凹部を有する第2の絶縁膜及びこの第1の凹部に設ける前記第1の導電体膜を形成する工程を、前記第1の導電体膜、前記第1の絶縁膜及び前記第2の導電体膜を形成する工程と、前記第2の導電体膜を覆うように前記第2の絶縁膜を形成する工程と、前記第2の絶縁膜を選択的に除去して前記第1の導電体膜、前記第1の絶縁膜及び前記第2の導電体膜が形成された前記第1の凹部を形成する工程とによって行うようにしてもよい。また、本発明は、半導体基板の主面側に形成された第3の絶縁膜と、この第3の絶縁膜内に形成され前記半導体基板に接続される第1のコンタクトと、前記第3の絶縁膜上に形成され前記第1のコンタクトと接する第4の導電体膜と、前記第3の絶縁膜上の前記第4の導電体膜が形成さ

れていない領域を均一な厚さで選択的に覆う第4の絶縁

膜とを有することを特徴とする。

【0026】また、本発明は、半導体基板の主面側に形成された第3の絶縁膜と、この第3の絶縁膜内に形成され前記半導体基板に接続される第1のコンタクトと、前記第3の絶縁膜上に形成され前記第1のコンタクトと接する第4の導電体膜と、前記第3の絶縁膜上の前記第4の導電体膜が形成されていない領域を均一な厚さで選択的に覆う第4の絶縁膜と、前記第4の導電体膜及び前記第4の絶縁膜上に形成された第5の絶縁膜と、この第5の絶縁膜上に形成された第5の導電体膜とを有することを特徴とする。

【0027】前記発明において、前記半導体基板の主面側に形成され素子分離膜に囲まれたMOS型トランジスタをさらに有し、前記第1のコンタクトは前記MOS型トランジスタのソース又はドレインの一方に接続されていることが好ましい。

【0028】また、前記発明において、前記第3の絶縁膜内に形成され前記MOS型トランジスタのソース又はドレインの他方に接続される第2のコンタクトと、この第2のコンタクトに接続されるビット線とをさらに有することが好ましい。

【0029】また、本発明は、半導体基板上に形成され素子分離膜に囲まれたMOS型トランジスタと、このMOS型トランジスタが形成された前記半導体基板の主面側に形成された第6の絶縁膜と、この第6の絶縁膜内に形成され前記MOS型トランジスタのソース又はドレインの一方に接続された第2のコンタクトと、前記第6の絶縁膜上に形成され前記第2のコンタクトに接続されたビット線と、このビット線が形成された前記第6の絶縁膜上に形成された第7の絶縁膜と、前記第6の絶縁膜及び前記第7の絶縁膜を貫通して形成され前記MOS型トランジスタのソース又はドレインの他方に接続される第1のコンタクトと、前記第7の絶縁膜上に形成され前記第1のコンタクトと接する第4の導電体膜と、前記第7の絶縁膜上の前記第4の導電体膜が形成されていない領域を均一な厚さで選択的に覆う第4の絶縁膜と、前記第4の導電体膜及び前記第4の絶縁膜上に形成された第5の絶縁膜と、この第5の絶縁膜上に形成された第5の導電体膜とを有することを特徴とする。

【0030】前記半導体装置によれば、第3の絶縁膜上の第4の導電体膜（一般的にはストレージノード電極）が形成されていない領域に第4の絶縁膜（一般的にはエッチング工程におけるストップパッド絶縁膜）が形成されているため、第1のコンタクト（一般的にはストレージノードコンタクト）と第4の導電体膜との間にずれがあっても、このずれた領域には第5の絶縁膜（一般的にはキャパシタ絶縁膜）以外に第4の絶縁膜も形成されているので、このずれた領域に形成されるキャパシタ（第4の導電体膜と第5の導電体膜（一般的にはプレート電極）との間に第4の絶縁膜及び第5の絶縁膜を挟んで形成され

る）に起因する絶縁性の劣化等を抑制することができ、したがって、キャパシタ全体の性能劣化を防止することができ、信頼性の高い半導体装置（DRAM等）を得ることができる。

【0031】また、本発明は、半導体基板の主面側に第3の絶縁膜を形成する工程と、この第3の絶縁膜内に前記半導体基板に接続される第1のコンタクトを形成する工程と、前記第3の絶縁膜上に第4の絶縁膜を形成する工程と、この第4の絶縁膜上に第8の絶縁膜を形成する工程と、前記第4の絶縁膜及び前記第8の絶縁膜を貫通し前記第1のコンタクトの表面が露出する溝部を形成する工程と、この溝部内に第4の導電体膜を形成する工程と、前記第8の絶縁膜を除去する工程とを有することを特徴とする。

【0032】また、本発明は、半導体基板の主面側に第3の絶縁膜を形成する工程と、この第3の絶縁膜内に前記半導体基板に接続される第1のコンタクトを形成する工程と、前記第3の絶縁膜上に第4の絶縁膜を形成する工程と、この第4の絶縁膜上に第8の絶縁膜を形成する工程と、前記第4の絶縁膜及び前記第8の絶縁膜を貫通し前記第1のコンタクトの表面が露出する溝部を形成する工程と、この溝部内に第4の導電体膜を形成する工程と、前記第8の絶縁膜を除去して前記第4の絶縁膜の表面を露出させる工程と、この露出した第4の絶縁膜及び前記第4の導電体膜上に第5の絶縁膜を形成する工程と、この第5の絶縁膜上に第5の導電体膜を形成する工程とを有することを特徴とする。

【0033】前記発明において、前記半導体基板の主面側に素子分離膜に囲まれたMOS型トランジスタを形成する工程をさらに有し、前記第1のコンタクトを前記MOS型トランジスタのソース又はドレインの一方に接続することが好ましい。

【0034】また、前記発明において、前記第3の絶縁膜内に前記MOS型トランジスタのソース又はドレインの他方に接続される第2のコンタクトを形成する工程と、前記第3の絶縁膜内に前記第2のコンタクトに接続されるビット線を形成する工程とをさらに有することが好ましい。

【0035】また、本発明は、半導体基板の主面側に素子分離膜に囲まれたMOS型トランジスタを形成する工程と、このMOS型トランジスタが形成された前記半導体基板の主面側に第6の絶縁膜を形成する工程と、この第6の絶縁膜内に前記MOS型トランジスタのソース又はドレインの一方と接続する第2のコンタクトを形成する工程と、前記第6の絶縁膜上に前記第2のコンタクトと接続するビット線を形成する工程と、前記ビット線が形成された前記第6の絶縁膜上に第7の絶縁膜を形成する工程と、前記第6の絶縁膜及び前記第7の絶縁膜を貫通し前記MOS型トランジスタのソース又はドレインの他方と接続する第1のコンタクトを形成する工程と、前

11

記第7の絶縁膜上に第4の絶縁膜を形成する工程と、この第4の絶縁膜上に第8の絶縁膜を形成する工程と、前記第4の絶縁膜及び前記第8の絶縁膜を貫通し前記第1のコンタクトの表面が露出する溝部を形成する工程と、この溝部内に第4の導電体膜を形成する工程と、前記第8の絶縁膜を除去して前記第4の絶縁膜の表面を露出させる工程と、この露出した第4の絶縁膜及び前記第4の導電体膜上に第5の絶縁膜を形成する工程と、この第5の絶縁膜上に第5の導電体膜を形成する工程とを有することを特徴とする。

【0036】前記発明において、前記溝部を形成する工程は、前記第4の絶縁膜をストッパーとして前記第8の絶縁膜を縦方向に異方的にエッチングする工程と、この工程の後に前記第4の絶縁膜をストッパーとして前記第8の絶縁膜を横方向に等方的にエッチングする工程と、この工程の後に露出した前記第4の絶縁膜をエッチングする工程とを有することが好ましい。

【0037】前記発明において、前記第4の絶縁膜をエッチングする際に前記第8の絶縁膜をマスクとして用いることが好ましい。

【0038】前記半導体装置の製造方法によれば、合わせずれ等によって第1のコンタクト（一般的にはストレージノードコンタクト）と第4の導電体膜（一般的にはストレージノード電極）との間にずれが生じて、このずれた領域には第5の絶縁膜（一般的にはキャパシタ絶縁膜）以外に第4の絶縁膜（一般的にはエッチング工程におけるストッパ絶縁膜）も形成されるので、このずれた領域に形成されるキャパシタ（第4の導電体膜と第5の導電体膜（一般的にはプレート電極）との間に第4の絶縁膜及び第5の絶縁膜を挟んで形成される）に起因する絶縁性の劣化等を抑制することができる。したがって、キャパシタ全体の性能劣化を防止することができ、信頼性の高い半導体装置（DRAM等）を製造することができる。また、第4の導電体膜を溝部に埋め込んで、例えばウェットエッチング等の等方的なエッチングによって溝部を広げるようにすれば、その分溝部に埋め込まれる第4の導電体膜の面積を大きくすることができる。したがって、キャパシタ面積の増大すなわちキャパシタの容量を増大させることができる。

【0039】

【発明の実施の形態】以下、本発明の実施形態について、Stacked Capacitorを搭載したダイナミックRAMに応用した場合を、図面を参照して説明する。

【0040】まず、本発明の第1実施形態について、図1(A1)～図4(A8)に示した製造工程にしたがって説明する。なお、各工程図(A1)～(A8)において、左側に示した部分は主としてキャパシタを有する領域（メモリアレイ領域）を示したものであり、右側に示した部分は主としてキャパシタを有しない領域（周辺回路領域）を示したものであり、両者は同一の半導体基板

12

に形成されている（他の実施形態に係る図面でも同様）。

【0041】まず、素子分離用絶縁膜12が形成されたシリコン基板11（半導体基板）上に、図示しないゲート絶縁膜、ゲート配線14が形成され、図示しないソース・ドレイン拡散層がシリコン基板11表面に形成されて、トランジスタが複数配列される。さらに、ゲート配線14の周囲に絶縁膜15を形成し、ゲート配線14間に層間絶縁膜13を埋込み形成する。続いて、層間絶縁膜13の所定の領域にRIEによってコンタクトホールを形成する。続いて、ポリシリコン等の導電膜を堆積した後、この導電性層をエッチバックして、コンタクトホール内にこの導電膜からなるプラグ16を形成する(A1)。

【0042】つぎに、層間絶縁膜17を堆積し、この層間絶縁膜17及び層間絶縁膜13をRIE等によって選択的に除去してコンタクトホール及び配線溝18a、18bを形成する。続いて、W等の導電膜を堆積した後、この導電膜をRIEやCMP等の方法によって平坦化して、配線19を形成する(A2)。

【0043】なお、配線19は、図示していないが、図1(A2)においてDRAMセルアレイ領域のビット線として機能しているので、このA2の工程において、メモリアレイのビット線を同時に形成することができる。すなわち、上記コンタクトホールの形成工程で、同時にビット線コンタクトホール、ビット線配線溝を形成することができる。また、配線19の形成と同一工程で、ビット線プラグやビット線を形成することができる。このビット線は、前記トランジスタのソース・ドレイン拡散層の一方に接続され、その他方には後述するキャパシタが接続される。

【0044】つぎに、層間絶縁膜20を堆積し、この層間絶縁膜20及び層間絶縁膜17をRIE等によって選択的に除去してコンタクトホール21を形成し、このコンタクトホール21内にプラグ16に接続されるプラグ22を形成する(A3)。

【0045】つぎに、層間絶縁膜23を堆積し、この層間絶縁膜23の所定の領域を除去して穴24を形成し、プラグ22の表面を露出させる。続いて、この穴24内に導電膜を埋め込んだ後、RIE等によって層間絶縁膜23の上面よりもこの導電膜の上面が低くなるようにし、プラグ22に接続されるキャパシタ用下側電極層25を形成する。なお、下側電極層25となる導電膜の構成材料としては、Pt（プラチナ）やRu（ルテニウム）或いはRuO₂等を用いることができる(A4)。

【0046】つぎに、キャパシタを有しない領域をレジストで覆い、キャパシタを有する領域の層間絶縁膜23をCDE（ケミカル・ドライ・エッチング）やウェットエッチング処理等によって除去して層間絶縁膜20を露出させ、キャパシタ用下側電極層25を有する穴26を

13

形成する(A5)。

【0047】つぎに、キャパシタ用絶縁膜27及びキャパシタ用上側電極層28を堆積し、キャパシタを有する領域をレジストで覆い、キャパシタを有しない領域のキャパシタ用絶縁膜27及びキャパシタ用上側電極層28をエッチング除去してキャパシタを形成する。なお、キャパシタ用絶縁膜27としては、 SrTiO_3 、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}$ 等の高誘電体薄膜を用いることができる。また、キャパシタ用上側電極層28となる導電膜の構成材料としては、下側電極層25と同様、PtやRu
10 或いは RuO_2 等を用いることができる(A6)。

【0048】つぎに、層間絶縁膜23及び層間絶縁膜20をRIE等によって選択的に除去して、コンタクトホール及び配線溝29a、29bを形成し、配線19の表面を露出する(A7)。

【0049】続いて、W等の導電膜を堆積した後、この導電膜をエッチバックやCMP(ケミカル・メカニカル・ポリッシング)等の方法によって平坦化して、キャパシタを有する領域においてはキャパシタ用上側電極層28の裏打ちとなるプレート配線30aを穴26内に形成するとともに、キャパシタを有しない領域においては配線30bを穴29a及び29b内に形成する(A8)。
20

【0050】以上の工程によって製造されたものでは、キャパシタ用上側電極層28の上面とシリコン基板11の上面との距離が配線30bの上面とシリコン基板11の上面との距離以下(図4では、キャパシタ用上側電極層28の上面とシリコン基板11の上面との距離が、配線30bの上面とシリコン基板11の上面との距離よりも小さい)となっており、またプレート配線30a、配線30b及び層間絶縁膜23の各上面とシリコン基板11の上面との距離は全て等しくなっている。したがって、キャパシタを有する領域及びキャパシタを有しない領域相互間における平坦化を実現することができる。

【0051】また、以上の説明した工程では、導電膜を穴26及び穴29a、29b内に同時に埋め込むことによりプレート配線30a及び配線30bを同時に形成するため、製造工程の短縮化をはかることができる。

【0052】つぎに、本発明の第2実施形態について、図5(B1)～図7(B5)に示した製造工程にしたがって説明する。なお、基本的な構成要素は上記第1実施形態とはほぼ同様であり、また第1実施形態と共通する製造工程もあるため、特に示さない限りこれらについては第1実施形態の対応する図面及び対応する説明を参照することとし、説明は省略する。

【0053】第1実施形態における図2の工程(A3)の後、絶縁膜31及び層間絶縁膜23を形成する。絶縁膜31は後の工程で層間絶縁膜23に穴を形成する際のエッチングのストップとなるものである(B1)。

【0054】つぎに、層間絶縁膜23及び絶縁膜31の所定の領域を除去して穴24を形成し、プラグ22の表
50

14

面を露出させる。続いて、この穴24内に導電膜を埋め込んだ後、RIE等によって層間絶縁膜23の上面よりもこの導電膜の上面が低くなるようにし、キャパシタ用下側電極層25を形成する(B2)。

【0055】つぎに、キャパシタを有しない領域をレジストで覆い、キャパシタを有する領域の層間絶縁膜23をCDEやウエットエッチング処理等によって除去し、キャパシタ用下側電極層25を有する穴26を形成する。このとき、層間絶縁膜23の下にエッチングのストップとなる絶縁膜31が形成されているため、層間絶縁膜23のエッチングを絶縁膜31で止めることができる(B3)。

【0056】つぎに、キャパシタ用絶縁膜27及びキャパシタ用上側電極層28を堆積し、キャパシタを有する領域をレジストで覆い、キャパシタを有しない領域のキャパシタ用絶縁膜27及びキャパシタ用上側電極層28をエッチング除去してキャパシタを形成する。つぎに、層間絶縁膜23、絶縁膜31及び層間絶縁膜20をRIE等によって選択的に除去して、コンタクトホール及び配線溝29a、29bを形成し、配線19の表面を露出する(B4)。

【0057】以後、第1実施形態における工程(A8)と同様にして、キャパシタを有する領域においてはキャパシタ用上側電極層28の裏打ちとなるプレート配線30aを穴26内に形成するとともに、キャパシタを有しない領域においては配線30bを穴29a及び29b内に形成する(B5)。

【0058】以上の工程によって製造されたものにおいても、上記第1実施形態と同様の作用効果を得ることができる。
30

【0059】つぎに、本発明の第3実施形態について、図8(C1)～図10(C6)に示した製造工程にしたがって説明する。なお、基本的な構成要素は上記第1実施形態とはほぼ同様であり、また第1実施形態と共通する製造工程もあるため、特に示さない限りこれらについては第1実施形態の対応する図面及び対応する説明を参照することとし、説明は省略する。

【0060】第1実施形態における図2の工程(A3)の後、層間絶縁膜32を堆積し、この層間絶縁膜32の所定の領域を除去して穴を形成する。続いて、導電膜を堆積し、CMP等の手法を用いて平坦化を行うことによってこの導電膜を先程形成した穴に埋め込み、キャパシタ用下側電極層25を形成する(C1)。

【0061】つぎに、層間絶縁膜32上及びキャパシタ用下側電極層25上に層間絶縁膜33をさらに堆積する(C2)。

【0062】つぎに、キャパシタを有しない領域をレジストで覆い、キャパシタを有する領域の層間絶縁膜32及び33をCDEやウエットエッチング処理等によって除去して層間絶縁膜20を露出させ、キャパシタ用下側

15

電極層25を有する穴26を形成する(C3)。

【0063】以後の工程(C4)～(C6)は、第1実施形態における工程(A6)～(A8)とほぼ同様であり、図10(C6)に示すように、キャパシタを有する領域においてはキャパシタ用上側電極層28の裏打ちとなるプレート配線30aが穴26内に形成されるとともに、キャパシタを有しない領域においては配線30bが穴29a及び29b内に形成される。

【0064】以上の工程によって製造されたものにおいても、上記第1実施形態と同様の作用効果を得ることができる。

【0065】つぎに、本発明の第4実施形態について、図11(D1)～図12(D4)に示した製造工程にしたがって説明する。なお、基本的な構成要素は上記第1実施形態とほぼ同様であり、また第1実施形態と共通する製造工程もあるため、特に示さない限りこれらについては第1実施形態の対応する図面及び対応する説明を参照することとし、説明は省略する。

【0066】第1実施形態における図2の工程(A3)の後、導電膜を堆積してこれを所定の形状にパターンニングし、キャパシタの下側電極層25を形成する(D1)。

【0067】つぎに、層間絶縁膜20上及びキャパシタ用下側電極層25上に層間絶縁膜34を、その上面がキャパシタ用下側電極層25の上面よりも高くなるように堆積する(D2)。

【0068】つぎに、キャパシタを有しない領域をレジストで覆い、キャパシタを有する領域の層間絶縁膜34をCDEやウエットエッチング処理等によって除去して層間絶縁膜20を露出させ、キャパシタ用下側電極層25を有する穴26を形成する(D3)。

【0069】以後、第1実施形態における工程(A6)～(A8)と同様の工程により、図12(D4)に示すように、キャパシタを有する領域においてはキャパシタ用上側電極層28の裏打ちとなるプレート配線30aが穴26内に形成されるとともに、キャパシタを有しない領域においては配線30bが穴29a及び29b内に形成される(D4)。

【0070】以上の工程によって製造されたものにおいても、上記第1実施形態と同様の作用効果を得ることができる。

【0071】つぎに、本発明の第5実施形態について、図13(E1)～図15(E5)に示した製造工程にしたがって説明する。なお、基本的な構成要素は上記第1実施形態とほぼ同様であり、また第1実施形態と共通する製造工程もあるため、特に示さない限りこれらについては第1実施形態の対応する図面及び対応する説明を参照することとし、説明は省略する。

【0072】第1実施形態における図1の工程(A1)～図3の工程(A5)と同様にして、キャパシタ用下側

16

電極層25を有する穴26を形成する(E1)。なお、第1実施形態以外の各実施形態で用いた方法によって、図13(E1)に示すような形状を構成するようにしてもよい。

【0073】つぎに、キャパシタ用絶縁膜27及びキャパシタ用上側電極層28を形成するための絶縁膜及び導電膜を順次堆積する(E2)。

【0074】つぎに、キャパシタ用上側電極層28、キャパシタ用絶縁膜27、層間絶縁膜23及び層間絶縁膜20をRIE等によって選択的に除去して、コンタクトホール及び配線溝29a、29bを形成し、配線19の表面を露出する(E3)。

【0075】つぎに、W等の導電膜30を堆積する(E4)。

【0076】続いて、導電膜30、キャパシタ用上側電極層28、キャパシタ用絶縁膜27をエッチバックやCMP等の方法によって除去することにより平坦化を行い、キャパシタを有する領域においてはキャパシタ用上側電極層28の裏打ちとなるプレート配線30aを穴26内に形成するとともに、キャパシタを有しない領域においては配線30bを穴29a及び29b内に形成する(E5)。

【0077】以上の工程によって製造されたものにおいても、上記第1実施形態と同様の作用効果を得ることができる。

【0078】つぎに、本発明の第6実施形態について、図16(F1)～図18(F6)に示した製造工程にしたがって説明する。なお、基本的な構成要素は上記第1実施形態とほぼ同様であり、また第1実施形態と共通する製造工程もあるため、特に示さない限りこれらについては第1実施形態の対応する図面及び対応する説明を参照することとし、説明は省略する。

【0079】第1実施形態における図2の工程(A3)の後、導電膜を堆積してこれを所定の形状にパターンニングし、キャパシタ用下側電極層25を形成する(F1)。

【0080】つぎに、キャパシタ用絶縁膜27及びキャパシタ用上側電極層28を順次堆積し、これらを所定の形状にパターンニングしてキャパシタを形成する(F2)。

【0081】つぎに、層間絶縁膜20上及びキャパシタ上に層間絶縁膜35を堆積する(F3)。

【0082】つぎに、キャパシタを有しない領域をレジストで覆い、キャパシタを有する領域の層間絶縁膜35をCDEやウエットエッチング処理等によって除去し、キャパシタを有する穴26を形成する(F4)。

【0083】つぎに、層間絶縁膜35及び層間絶縁膜20をRIE等によって選択的に除去して、コンタクトホール及び配線溝29a、29bを形成し、配線19の表面を露出する(F5)。

17

【0084】続いて、W等の導電膜を堆積した後、この導電膜をエッチバックやCMP等の方法によって平坦化して、キャパシタを有する領域においてはキャパシタ用上側電極層28の裏打ちとなるプレート配線30aを穴26内に形成するとともに、キャパシタを有しない領域においては配線30bを穴29a及び29b内に形成する(F6)。

【0085】以上の工程によって製造されたものにおいても、上記第1実施形態と同様の作用効果を得ることができる。

【0086】以下、本発明の第7実施形態について、図19～図28を参照して詳細に説明する。

【0087】なお、各図(a)は各図(c)(フォトリソグラフィを行う際の平面パターンに対応した図)のA-A'断面、各図(b)は各図(c)のB-B'断面を示したものである。

【0088】まず、シリコンを用いた半導体基板101にSTI(Shallow Trench Isolation)により素子分離領域102を形成し、不純物イオン注入によりPウエル領域を形成する(図19)。

【0089】次に、トランジスタを形成するために、半導体基板101上に例えば6nmのゲート酸化膜(図示せず)を形成した後、ゲート電極103として約50nmの多結晶シリコン膜103a、約100nmのタンゲステンシリサイド(WSi)又はタンゲステン(W)膜103b、約100nmの窒化シリコン(SiN)103c膜を堆積する。ゲート電極103をパターンニングした後、PやAsなどのN型不純物をイオン注入し、ソース/ドレイン拡散層104を形成する。続いて、例えば30nmの窒化シリコン膜105を堆積し、エッチバックすることによってゲート電極103にサイドウォールを形成する。トランジスタ形成後、約250～300nmの絶縁膜106(例えば、BPSGやプラズマSiO₂等)を堆積する(図20)。

【0090】次に、SiN膜103cをストッパーとして絶縁膜106をCMP(Chemical Mechanical Polishing)法を用いて平坦化した後、レジストマスク107(開口パターン)を用いて絶縁膜106をパターンニングし、ゲート電極103に対して自己整合的にコンタクトホールを形成する(図21)。

【0091】次に、レジストを除去し、プラグを形成するための導電性膜108、例えばPまたはAsをドーブしたポリSi膜を堆積する(図22)。

【0092】次に、プラグを形成するための導電性膜108をSiN膜103cをストッパーとしてCMP法により平坦化する。続いて、100～200nm程度の絶縁膜109(例えばBPSGやプラズマSiO₂等)を堆積し、これをCMP法により平坦化し、先に形成したプラグ108に達するビット線コンタクト110を形成する。続いて、絶縁膜109上に例えば20nm程度の

18

Ti/TiN及び100nm程度のWからなる導電性膜111aを堆積し、その上に150nm程度のSiN膜111bを堆積し、これらをパターンニングすることによりビット線111を形成する。さらに、30nm程度のSiN膜112を堆積した後これをエッチングし、ビット線側壁にサイドウォールを形成する。

【0093】次に、ビット線111を覆うように400nm程度の絶縁膜113(例えばBPSGやプラズマSiO₂等)を堆積し、これをCMP法を用いて平坦化する。続いて、レジストマスクを用いて絶縁膜113をビット線111に対して自己整合的にエッチングし、先に形成したプラグ108まで達するようにコンタクト開口を開く。続いて、レジストを除去した後、ストレージノードコンタクト114を形成するために、コンタクト開口を導電材料、例えばバリアメタル(Ti/TiN)及びW、或いはPをドーブしたポリSi等で埋め込み、平坦化する(図23)。

【0094】次に、酸化膜に対してエッチング選択比の高い膜、例えば50nmのSiN膜115を均一な厚さで全面に、続いて300nm程度の絶縁膜116(例えばBPSGやプラズマSiO₂等)を全面に堆積し、穴型パターンを有するレジストマスク121を用いて絶縁膜116及びSiN膜115をRIE法を用いてエッチングし、溝部117を形成する。(図24)。

【0095】次に、溝117が埋まるようにストレージノード電極材料118、例えば200nmの窒化タンゲステン(W/N)、ルテニウム(Ru)又はルテニウムオキシド(RuO_x)をスパッタ法により堆積する(図25)。

【0096】次に、ストレージノード電極材料118を絶縁膜116の上面までCMP法により研磨して平坦化し、ストレージノード電極を形成する。ストレージノード電極118として用いるルテニウムやルテニウム化合物は、チタン酸バリウムストロンチウム(BSTO)等の高誘電体膜を用いたキャパシタの電極として適したものであるが、RIE等を用いてエッチングすることは難しい。そこで、本例のように、溝内にルテニウム等を埋め込むことにより、容易にストレージノード電極118を形成することができる(図26)。

【0097】次に、ストレージノード電極118の側面が露出するように絶縁膜116をウエットエッチングにより完全に除去する。この時、SiN膜115がウエットエッチングのストッパーとして作用するため、絶縁膜113がエッチングされることはない。このとき露出したSiN膜115はストレージノード電極118が形成されていない領域を均一な厚さで選択的に覆っている。すなわち、ストレージノード電極118の側面のSiN膜115の膜厚より上の領域及びストレージノード電極118の上面にはSiN膜115は形成されていない(図27)。

19

【0098】次に、キャパシタ誘電体膜119として、例えばチタン酸バリウムストロンチウム(BSTO)等をCVD法又はスパッタ法により堆積する。続いて、プレート電極120として、例えば100nm程度の窒化タングステン膜、ルテニウム膜又はルテニウムオキサイド膜を堆積し、これをCMP法により平坦化して、キャパシタを形成する(図28)。

【0099】その後、通常の方法を用いて配線等を形成することにより、DRAMが完成する。

【0100】図29は、ストレージノードコンタクト114とストレージノード電極118とがずれた場合の状態を示したものである。本実施形態では、キャパシタ誘電体膜119の下にストッパー膜115が形成されているので、このようにずれが生じたとしても、キャパシタ特性の劣化等を防止することができる。

【0101】次に、本発明の第8実施形態について、図30～図34を参照して詳細に説明する。

【0102】本第8実施形態は、図19～図28に示した第7実施形態の工程の一部を変更したものであるため、ここでは必要な説明のみを行い、その他については第7実施形態の対応する説明及び対応する図面を参照するものとする。

【0103】工程の前半は第7実施形態の工程(図19～図23の工程)と同様であるため、それ以後の工程について以下説明する。なお、以下の図30～図34の工程は、第7実施形態における図24～図28の工程には対応している。

【0104】図23の工程の後、酸化膜に対してエッチング選択比の高い膜、例えば50nmのSiN膜115を均一な厚さで全面に堆積し、続いて300nm程度の絶縁膜116(例えばBPSGやプラズマSiO₂等)を全面に堆積する。続いて、穴型パターンを有するレジストマスクを用いて絶縁膜116をRIE法により縦方向に異方性エッチングし、溝部117を形成する。このとき、SiN膜115をエッチングのストッパーとする。続いて、SiN膜115をストッパーとするウエットエッチングを行い、絶縁膜116を20nm程度横方向に等方的にエッチングする。続いて、パターニングされた絶縁膜116をマスクとして、RIE法を用いて溝底部に残されたSiN膜115をエッチング除去する。このように、絶縁膜116を等方的にエッチングすることにより溝部117の幅が広がり(幅L2が第7実施形態(図24)における幅L1よりも広がる)、キャパシタの底面積が大きくなる(図30)。

【0105】次に、溝117が埋まるようにストレージノード電極材料118として例えば200nm程度の窒化タングステン(W/N)、ルテニウム(Ru)又はルテニウムオキサイド(RuO_x)をスパッタ法により堆積する(図31)。

【0106】次に、ストレージノード電極材料118を

20

絶縁膜116の上面までCMP法により研磨して平坦化し、ストレージノード電極を形成する(図32)。

【0107】次に、ストレージノード電極118の側面が露出するように絶縁膜116をウエットエッチングにより完全に除去する。この時、SiN膜115がウエットエッチングのストッパーとして作用するため、絶縁膜113がエッチングされることはない。このとき露出したSiN膜115はストレージノード電極118が形成されていない領域を均一な厚さで選択的に覆っている(図33)。

【0108】次に、キャパシタ誘電体膜119として、例えばチタン酸バリウムストロンチウム(BSTO)等をCVD法又はスパッタ法により堆積する。続いて、プレート電極120として、例えば100nm程度の窒化タングステン膜、ルテニウム膜又はルテニウムオキサイド膜を堆積し、これをCMP法により平坦化して、キャパシタを形成する(図34)。

【0109】その後、通常の方法を用いて配線等を形成することにより、DRAMが完成する。

【0110】本第8実施形態でも第7実施形態と同様の効果が得られるとともに、溝部の底面積を大きくすることができるので、キャパシタの容量を増大させることが可能となる。

【0111】なお、本発明は上記各実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施可能である。

【0112】

【発明の効果】本発明における半導体記憶装置では、低抵抗化を実現することができるとともに、第1の穴部が形成された領域と第2の穴部が形成された領域とにおいて、第3の導電体膜の高さをほぼ等しくすることができるので、平坦化を達成することが可能となる。

【0113】また、本発明における半導体記憶装置の製造方法では、第1の穴部と第2の穴部とに同時に第3の導電体膜を埋め込むので、製造工程の増大なしに低抵抗化を実現することができるとともに、第1の穴部が形成された領域と第2の穴部が形成された領域とにおいて、第3の導電体膜の高さをほぼ等しくすることができるので、平坦化を達成することが可能となり、リソグラフィにおけるプロセスマージンを高めることができる。

【0114】また、本発明における半導体記憶装置では、第1のコンタクト(一般的にはストレージノードコンタクト)と第4の導電体膜(一般的にはストレージノード電極)との間にずれがあっても、このずれた領域には第5の絶縁膜(一般的にはキャパシタ絶縁膜)以外に第4の絶縁膜(一般的にはエッチング工程におけるストッパ絶縁膜)も形成されているので、このずれた領域に形成されるキャパシタに起因する絶縁性の劣化等を抑制することができ、キャパシタ全体の性能劣化を防止することができる。

21

【0115】また、本発明における半導体記憶装置の製造方法では、第1のコンタクトと第4の導電体膜と間にずれが生じて、このずれた領域に形成されるキャパシタに起因する絶縁性の劣化等を抑制することができるとともに、第4の導電体膜を溝部に埋め込んでいるので、等方的なエッチングによって溝部を広げるようにすれば、溝部に埋め込まれる第4の導電体膜の面積を大きくすることができ、キャパシタ面積の増大すなわちキャパシタの容量を増大させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る製造工程の一部を示した断面図。

【図2】本発明の第1実施形態に係る製造工程の一部を示した断面図。

【図3】本発明の第1実施形態に係る製造工程の一部を示した断面図。

【図4】本発明の第1実施形態に係る製造工程の一部を示した断面図。

【図5】本発明の第2実施形態に係る製造工程の一部を示した断面図。

【図6】本発明の第2実施形態に係る製造工程の一部を示した断面図。

【図7】本発明の第2実施形態に係る製造工程の一部を示した断面図。

【図8】本発明の第3実施形態に係る製造工程の一部を示した断面図。

【図9】本発明の第3実施形態に係る製造工程の一部を示した断面図。

【図10】本発明の第3実施形態に係る製造工程の一部を示した断面図。

【図11】本発明の第4実施形態に係る製造工程の一部を示した断面図。

【図12】本発明の第4実施形態に係る製造工程の一部を示した断面図。

【図13】本発明の第5実施形態に係る製造工程の一部を示した断面図。

【図14】本発明の第5実施形態に係る製造工程の一部を示した断面図。

【図15】本発明の第5実施形態に係る製造工程の一部を示した断面図。

【図16】本発明の第6実施形態に係る製造工程の一部を示した断面図。

【図17】本発明の第6実施形態に係る製造工程の一部を示した断面図。

【図18】本発明の第6実施形態に係る製造工程の一部を示した断面図。

【図19】本発明の第7実施形態に係る製造工程の一部を示した断面図。

【図20】本発明の第7実施形態に係る製造工程の一部を示した断面図。

22

【図21】本発明の第7実施形態に係る製造工程の一部を示した断面図。

【図22】本発明の第7実施形態に係る製造工程の一部を示した断面図。

【図23】本発明の第7実施形態に係る製造工程の一部を示した断面図。

【図24】本発明の第7実施形態に係る製造工程の一部を示した断面図。

10 【図25】本発明の第7実施形態に係る製造工程の一部を示した断面図。

【図26】本発明の第7実施形態に係る製造工程の一部を示した断面図。

【図27】本発明の第7実施形態に係る製造工程の一部を示した断面図。

【図28】本発明の第7実施形態に係る製造工程の一部を示した断面図。

【図29】図28においてパターンがずれた場合の状態を示した断面図。

20 【図30】本発明の第8実施形態に係る製造工程の一部を示した断面図。

【図31】本発明の第8実施形態に係る製造工程の一部を示した断面図。

【図32】本発明の第8実施形態に係る製造工程の一部を示した断面図。

【図33】本発明の第8実施形態に係る製造工程の一部を示した断面図。

【図34】本発明の第8実施形態に係る製造工程の一部を示した断面図。

【図35】従来技術に係る製造工程を示した断面図。

30 【図36】従来技術の問題点について示した図。

【符号の説明】

11、101…半導体基板

23、32、33、34、35…第2の絶縁膜

25…第1の導電体膜

26…第1の穴

27…第1の絶縁膜

28…第2の導電体膜

29a、29b…第2の穴

30a、30b…第3の導電体膜

40 109…第3の絶縁膜、第6の絶縁膜

110…第2のコンタクト

111…ビット線

113…第3の絶縁膜、第7の絶縁膜

114…第1のコンタクト

115…第4の絶縁膜

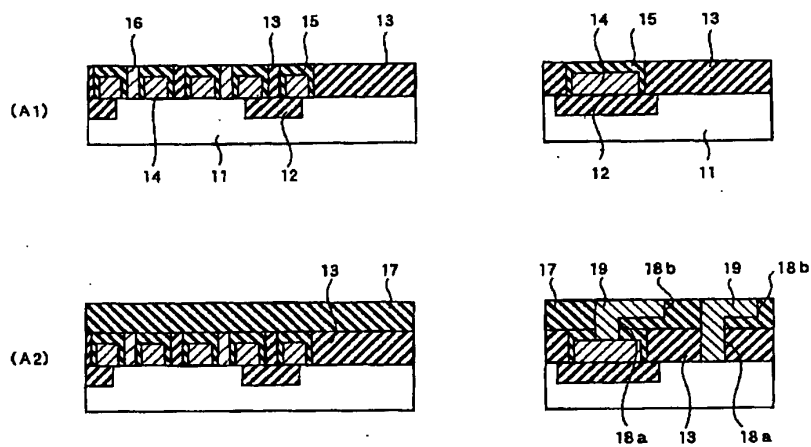
116…第8の絶縁膜

118…第4の導電体膜

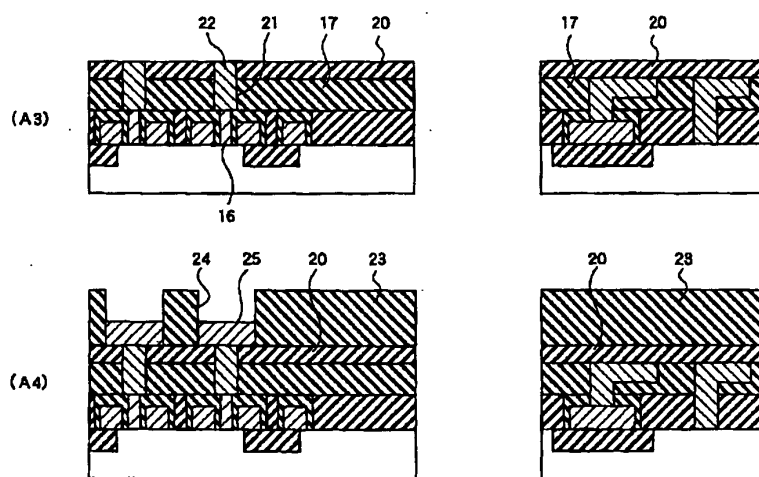
119…第5の絶縁膜

120…第5の導電体膜

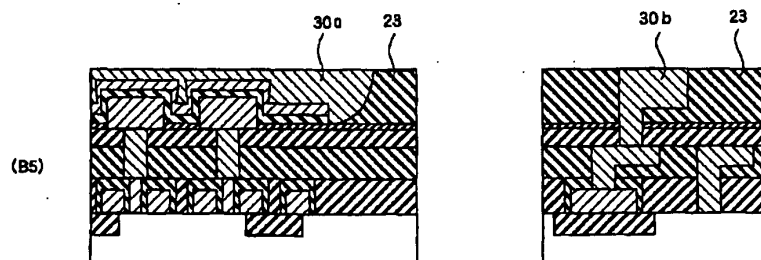
【図1】



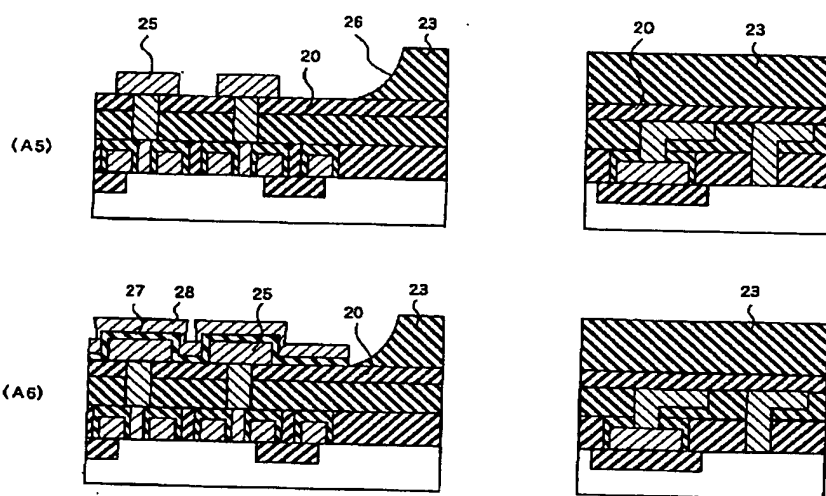
【図2】



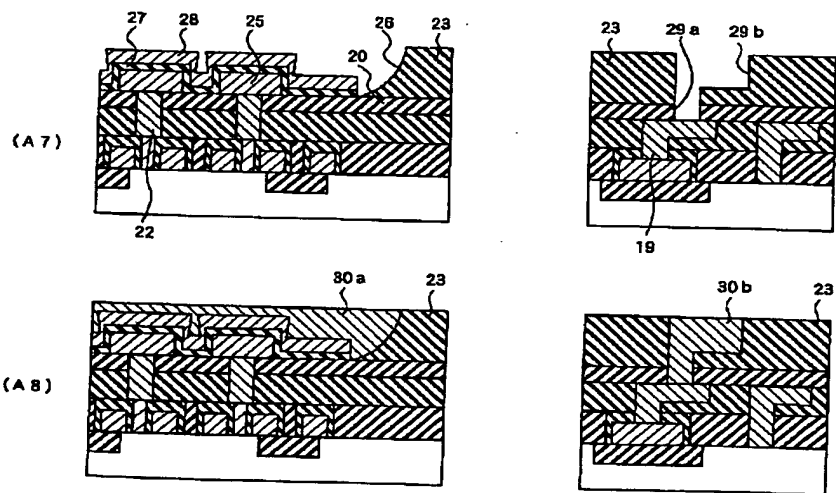
【図7】



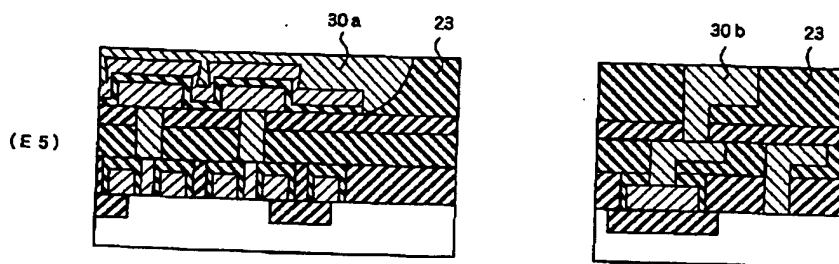
【図3】



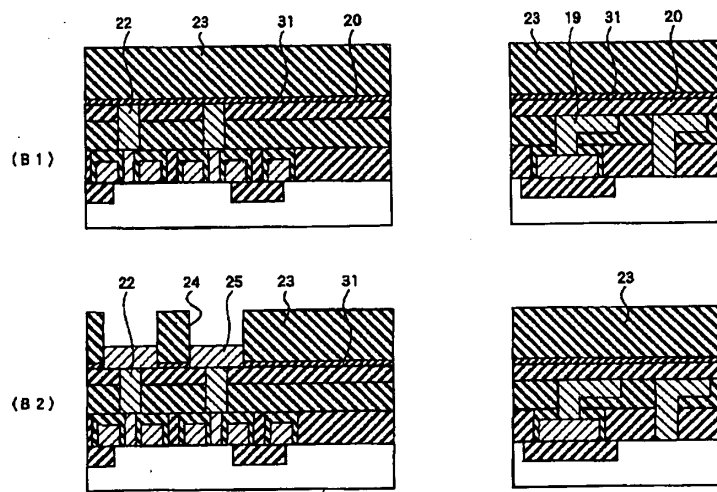
【図4】



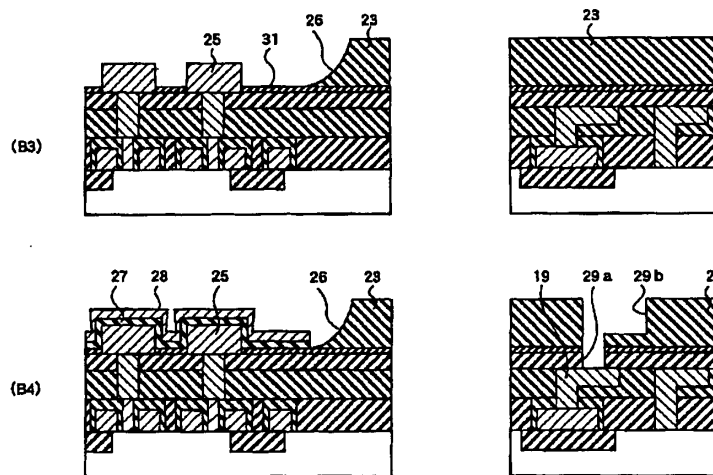
【図15】



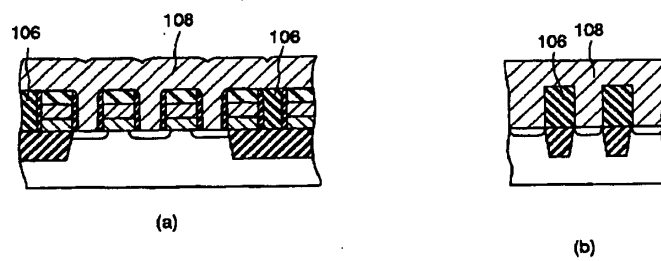
【図5】



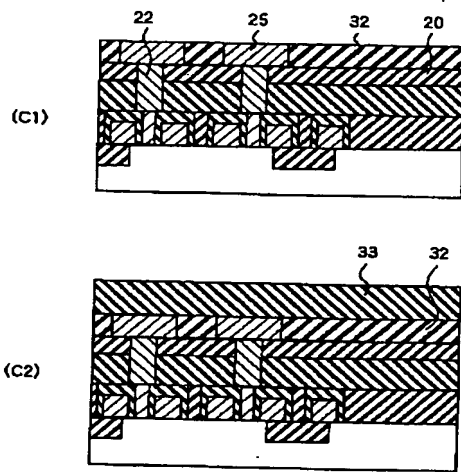
【図6】



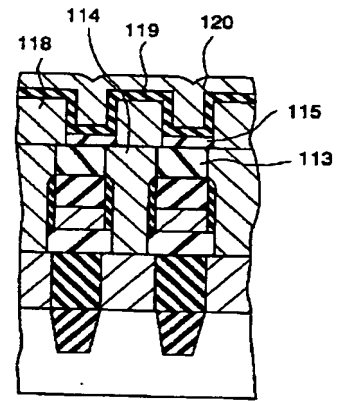
【図22】



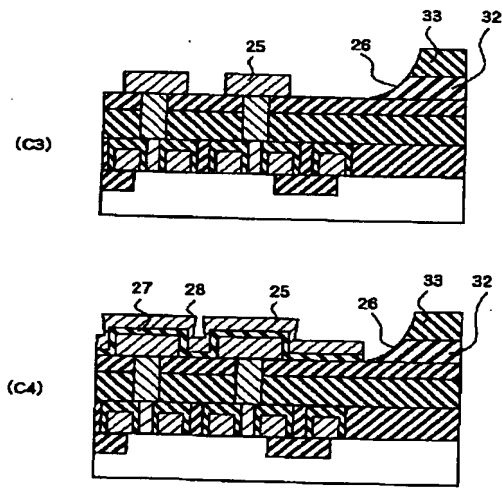
【図 8】



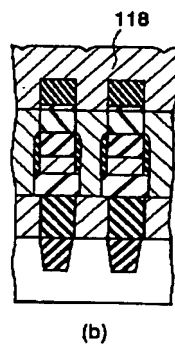
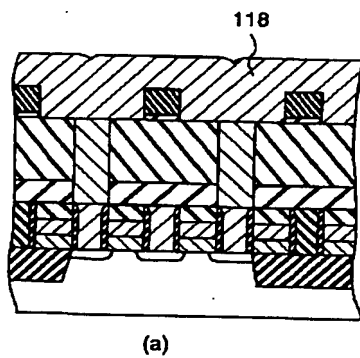
【図 29】



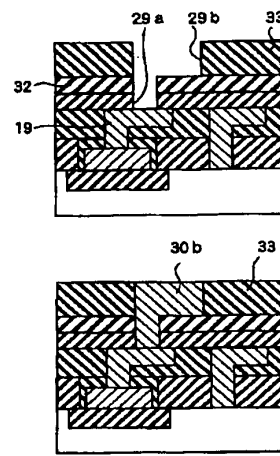
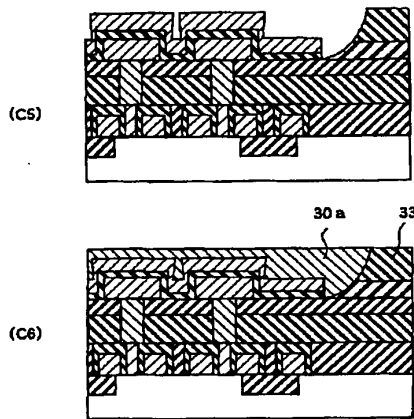
【図 9】



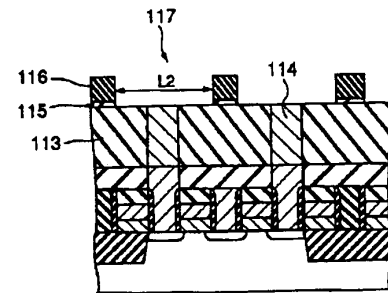
【図 25】



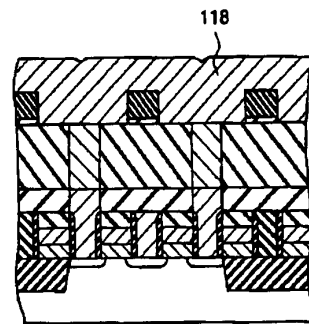
【図10】



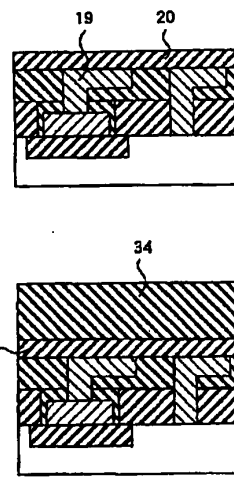
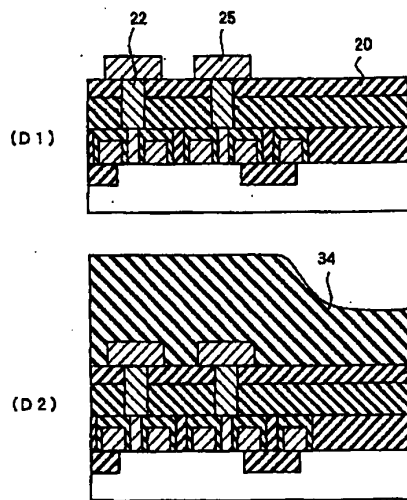
【図30】



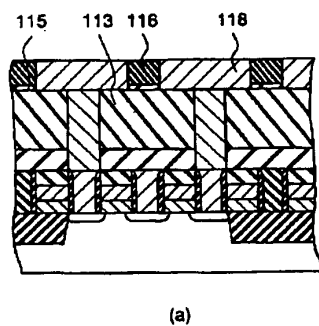
【図31】



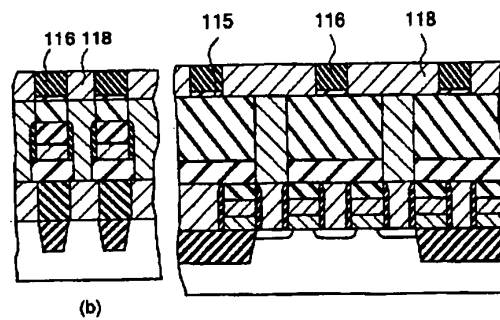
【図11】



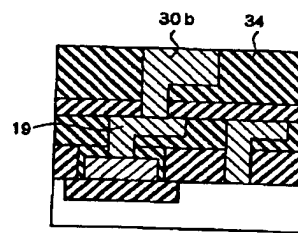
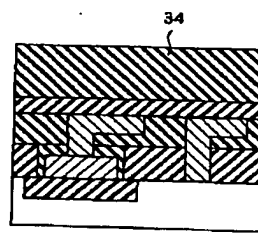
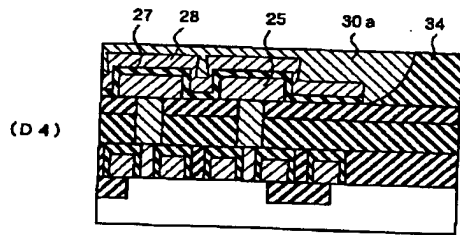
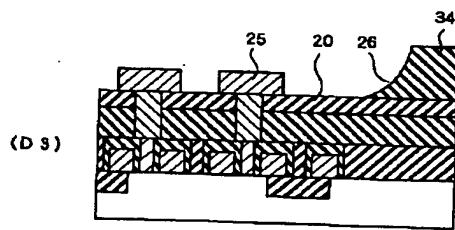
【図26】



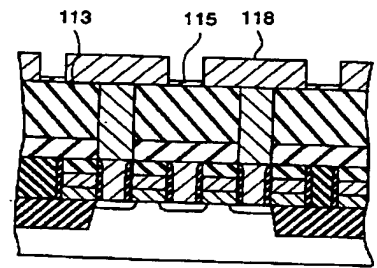
【図32】



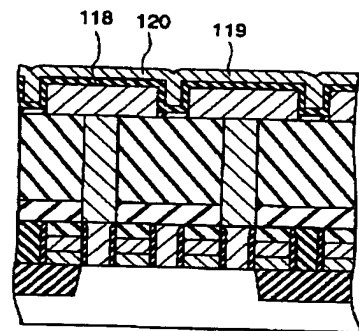
【図12】



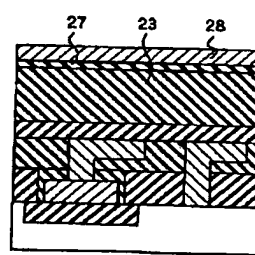
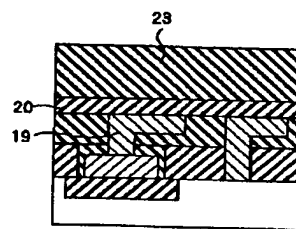
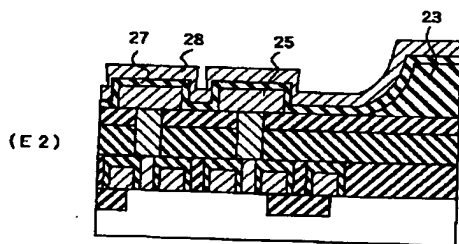
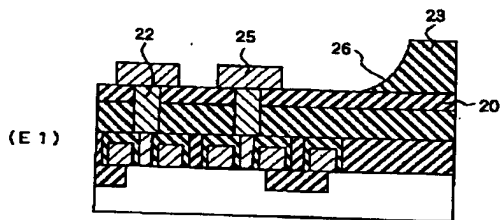
【図33】



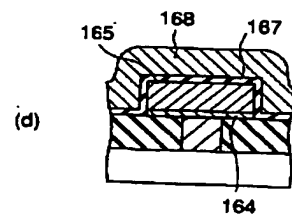
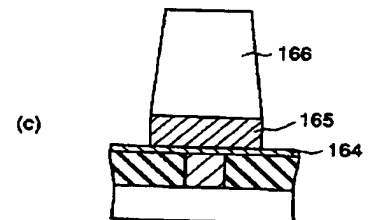
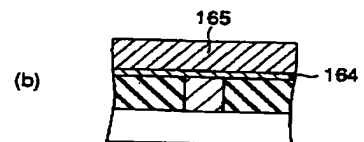
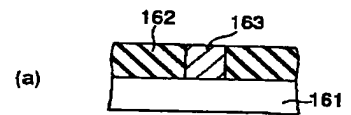
【図34】



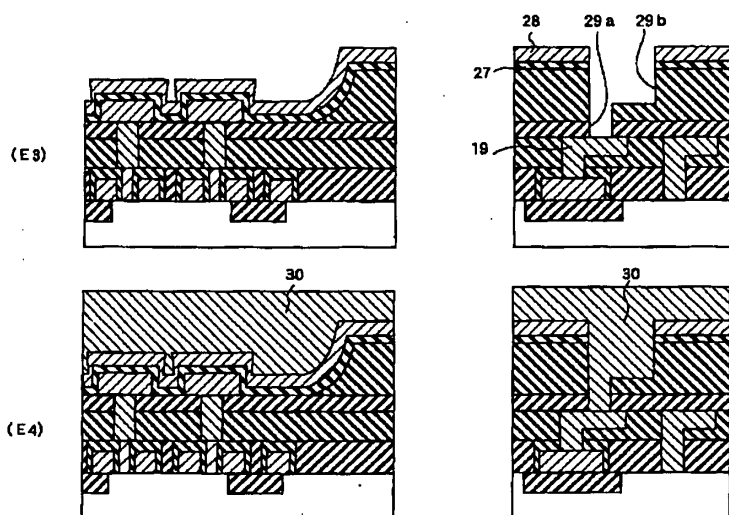
【図13】



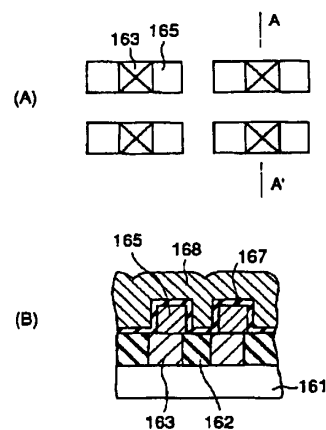
【図35】



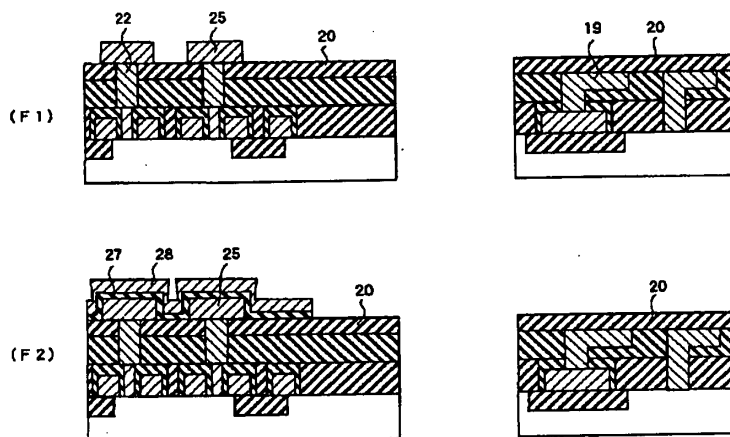
【図 14】



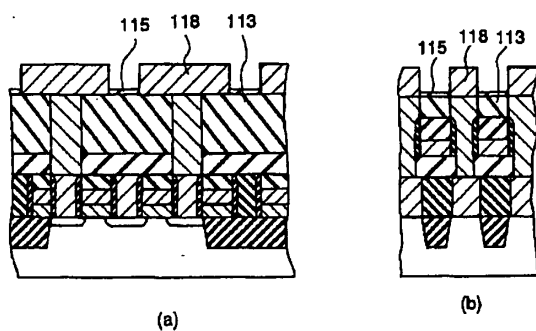
【図 36】



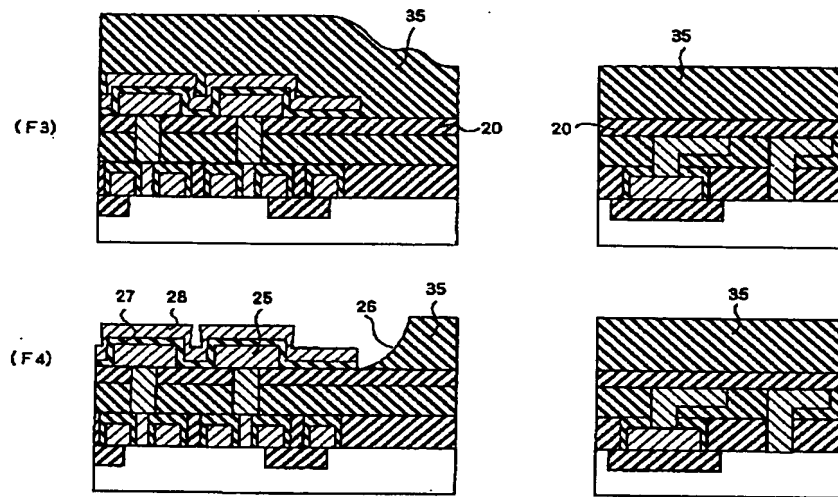
【図 16】



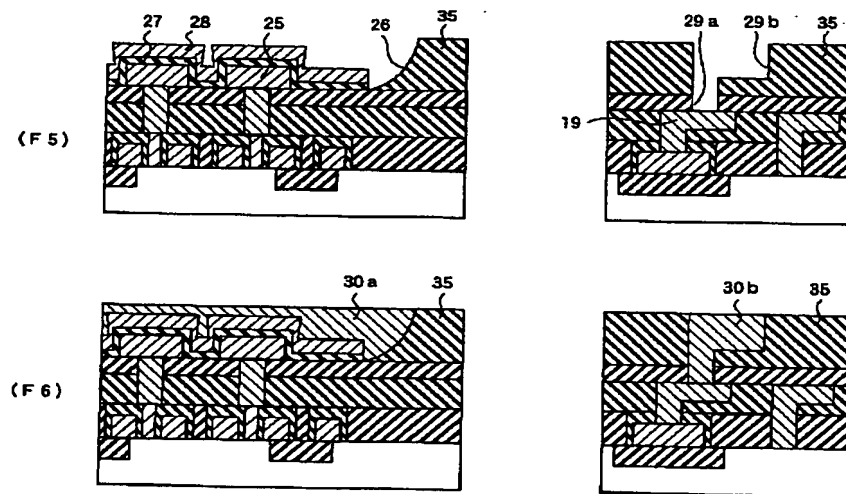
【図 27】



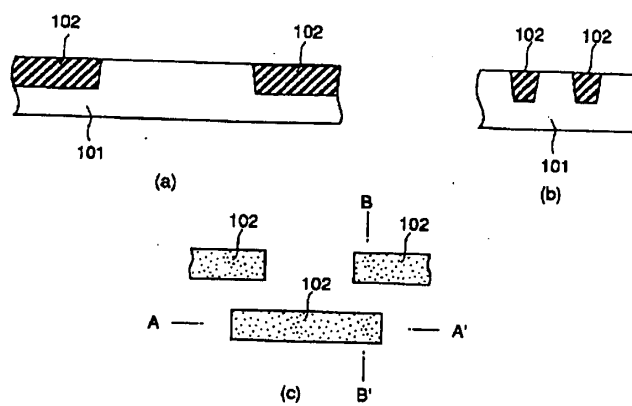
【図17】



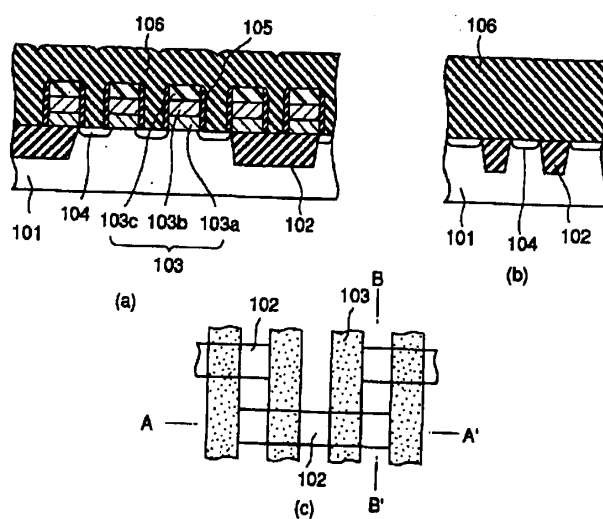
【図18】



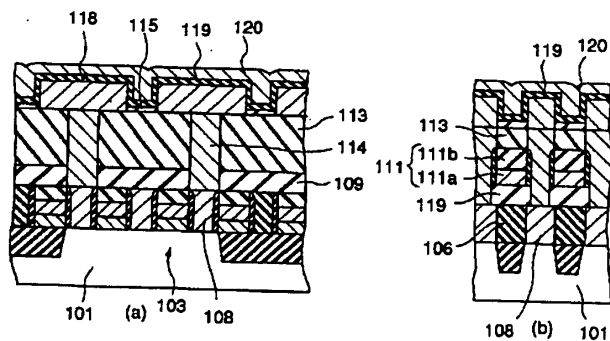
【図19】



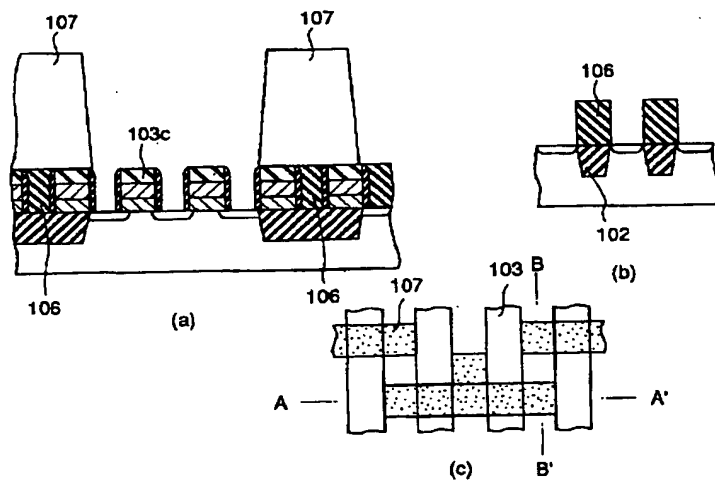
【図20】



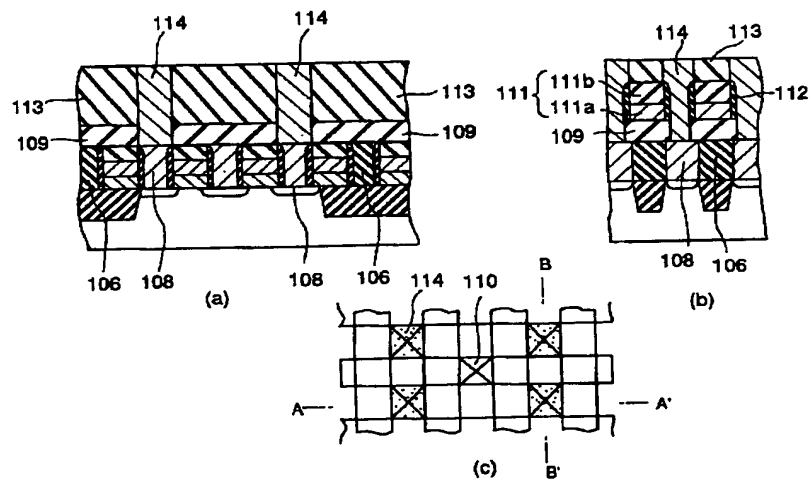
【図28】



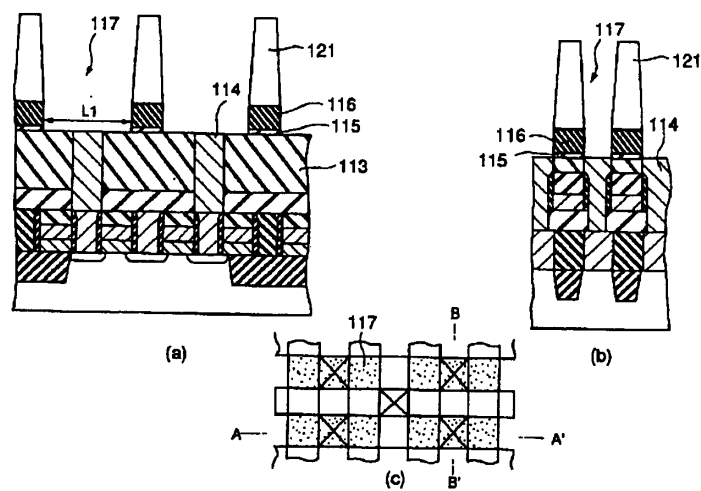
【図21】



【図23】



【図24】



フロントページの続き

(72)発明者 細谷 啓司

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

